

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takashi IPPOSHI

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2003-013062

MONTH/DAY/YEAR

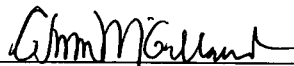
January 22, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_  
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124



22850

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2003年 1月22日

出願番号  
Application Number:

特願2003-013062

[ST.10/C]:

[JP2003-013062]

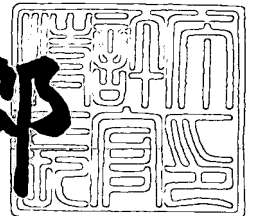
出願人  
Applicant(s):

三菱電機株式会社

2003年 2月14日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3007903



【書類名】 特許願

【整理番号】 543091JP01

【提出日】 平成15年 1月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/02

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 一法師 隆志

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100089233

    【弁理士】

    【氏名又は名称】 吉田 茂明

【選任した代理人】

    【識別番号】 100088672

    【弁理士】

    【氏名又は名称】 吉竹 英俊

【選任した代理人】

    【識別番号】 100088845

    【弁理士】

    【氏名又は名称】 有田 貴弘

【手数料の表示】

    【予納台帳番号】 012852

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 支持基板、酸化膜層および S O I (Semiconductor On Insulator) 層が順に積層された S O I 基板と、

前記 S O I 層上に形成されたゲート絶縁膜、前記ゲート絶縁膜上に形成されたゲート電極、前記 S O I 層内において前記ゲート電極に隣接する位置に形成されたソース／ドレイン活性層を含む M I S (Metal Insulator Semiconductor) トランジスタと

を備え、

前記支持基板のうち少なくとも前記 M I S トランジスタの下方に位置する部分が除去された

半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置であって、

前記支持基板のうち除去された部分には四方を囲む端面が露出し、前記端面は全て (1 1 1) 面である

半導体装置。

【請求項 3】 請求項 1 に記載の半導体装置であって、

前記支持基板を備える代わりに、

前記 M I S トランジスタを覆う層間絶縁膜と、

前記層間絶縁膜上に貼り合わされた他の支持基板と

をさらに備える半導体装置。

【請求項 4】 請求項 1 に記載の半導体装置であって、

前記支持基板の表面および除去された部分に露出した端面、並びに、前記支持基板の除去された部分に露出した前記酸化膜層を覆うように形成された金属膜をさらに備える半導体装置。

【請求項 5】 請求項 4 に記載の半導体装置であって、

前記酸化膜層を貫通して、前記 M I S トランジスタの前記ソース／ドレイン活性層と前記金属膜とを電氣的に接続するコンタクトプラグ

をさらに備える半導体装置。

【請求項 6】 請求項 1 に記載の半導体装置であって、  
前記支持基板と前記 S O I 層とにおいては互いの結晶方位がずれている  
半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、半導体基板上に形成される半導体装置に関する。

【 0 0 0 2 】

【従来の技術】

従来の半導体装置の一例として、S O I (Silicon On InsulatorまたはSemiconductor On Insulator) 基板上に形成された P チャンネル M O S (Metal Oxide Semiconductor) トランジスタがある。

【 0 0 0 3 】

S O I 基板では、シリコン基板等の支持基板、酸化膜層および S O I 層がこの順に積層される。また、P チャンネル M O S トランジスタは、ゲート電極、ゲート絶縁膜および P 型のソース／ドレイン活性層を備える。

【 0 0 0 4 】

S O I 基板に P チャンネル M O S トランジスタを形成する場合、ゲート電極およびゲート絶縁膜の積層構造は S O I 層の表面上に形成され、ソース／ドレイン活性層は S O I 層内のゲート電極を挟む位置に形成される。

【 0 0 0 5 】

さて、従来の半導体装置においては、M O S トランジスタのソース／ドレイン間のチャンネル方向が半導体ウェハの結晶方位  $\langle 1 1 0 \rangle$  と平行になるように配置されるのが一般的であった。

【 0 0 0 6 】

しかし、チャンネル方向を結晶方位  $\langle 1 1 0 \rangle$  ではなく、結晶方位  $\langle 1 0 0 \rangle$  と平行になるよう配置することで、トランジスタ特性を変化させることができる。具体的には、チャンネル方向を結晶方位  $\langle 1 0 0 \rangle$  と平行に配置することにより、

PチャネルMOSトランジスタの電流駆動力が15パーセント程度向上し、さらに、短チャネル効果も小さくなることが分かっている（後述の特許文献1を参照）。

【0007】

電流駆動力が向上する理由は、結晶方位 $\langle 100 \rangle$ の正孔の移動度の方が結晶方位 $\langle 110 \rangle$ のそれよりも大きいためであり、短チャネル効果が小さくなる理由は、結晶方位 $\langle 100 \rangle$ のボロンの拡散係数の値の方が結晶方位 $\langle 110 \rangle$ のそれよりも小さいためと考えられている。

【0008】

よって、PチャネルMOSトランジスタをSOI基板上に形成する場合も、そのチャネル方向がSOI層の結晶方位 $\langle 100 \rangle$ と平行になるように配置されればよい。そのためには例えば、表面側のSOI層の結晶方位 $\langle 100 \rangle$ に支持基板の結晶方位 $\langle 110 \rangle$ を一致させて形成されたSOI基板を採用して、その表面にPチャネルMOSトランジスタ等のデバイスを形成するのがよい。

【0009】

(100)ウェハの場合、結晶面 $\{110\}$ が劈開面となる。よって、SOI層用ウェハの結晶方位 $\langle 100 \rangle$ を支持基板のウェハの結晶方位 $\langle 110 \rangle$ に一致させて貼り合わせれば、試験研究のための劈開時に、ウェハ厚の大部分を占める支持基板のウェハの劈開面に沿ってウェハ全体を割ることができる。そうすれば、支持基板において結晶方位 $\langle 110 \rangle$ の断面を露出させつつ、SOI層において結晶方位 $\langle 100 \rangle$ の断面を露出させることが可能になるという利点を有する。

【0010】

このような、SOI層の結晶方位 $\langle 100 \rangle$ と支持基板1の結晶方位 $\langle 110 \rangle$ とを一致させる技術は、例えば特許文献1または特許文献2に記載されている。

【0011】

その他、この出願の発明に関連する先行技術文献情報としては非特許文献1～3がある。

【 0 0 1 2 】

【特許文献 1】

特開 2 0 0 2 - 1 3 4 3 7 4 号公報

【特許文献 2】

特開平 7 - 3 3 5 5 1 1 号公報

【非特許文献 1】

Y.Hirano et al.,「Bulk-Layout-Compatible 0.18 $\mu$ m SOI-CMOS Technology Using Body-Fixed Partial Trench Isolation(PTI)」,(米国), IEEE 1999 SOI conf.,p.131-132

【非特許文献 2】

S.Maeda et al.,「Suppression of Delay Time Instability on Frequency using Field Shield Isolation Technology for Deep Sub-Micron SOI Circuits」,(米国),IEDM,1996,p.129-132

【非特許文献 3】

L.-J.Huang et al.,「Carrier Mobility Enhancement in Strained Si-On-Insulator Fabricated by Wafer Bonding」,(米国),2001 Symposium on VLSI Technology,p.57-58

【 0 0 1 3 】

【発明が解決しようとする課題】

さて、SOI 層の結晶方位<1 0 0>に支持基板の結晶方位<1 1 0>を一致させて形成された SOI 基板は、電流駆動力の向上等の理由から P チャネル MOS トランジスタの形成に適しているが、P チャネル MOS トランジスタの電流駆動力の向上にはまだ改善の余地がある。

【 0 0 1 4 】

そこで、この発明の課題は、半導体基板上に形成される MOS トランジスタの電流駆動力を向上させることが可能な半導体装置を提供することにある。

【 0 0 1 5 】

【課題を解決するための手段】

請求項 1 に記載の発明は、支持基板、酸化膜層および SOI (Semiconductor



On Insulator) 層が順に積層された S O I 基板と、前記 S O I 層上に形成されたゲート絶縁膜、前記ゲート絶縁膜上に形成されたゲート電極、前記 S O I 層内において前記ゲート電極に隣接する位置に形成されたソース／ドレイン活性層を含む M I S (Metal Insulator Semiconductor) トランジスタとを備え、前記支持基板のうち少なくとも前記 M I S トランジスタの下方に位置する部分が除去された半導体装置である。

【 0 0 1 6 】

【発明の実施の形態】

＜実施の形態 1＞

本実施の形態は、S O I 層の結晶方位＜1 0 0＞に支持基板の結晶方位＜1 1 0＞を一致させて形成された S O I 基板上に、P チャネル M O S トランジスタを形成し、その下部の支持基板を除去することによりチャネル形成領域にひずみを加えるものである。

【 0 0 1 7 】

本実施の形態に係る半導体装置を図 1 および図 2 に示す。なお、図 2 は図 1 中の切断線 II－II における断面を示した図である。

【 0 0 1 8 】

この半導体装置は P チャネル M O S トランジスタであり、シリコン基板等の支持基板 1、酸化膜層 2、および、シリコン層等の S O I 層 3 が順に積層された S O I 基板の表面に形成されている。また、この P チャネル M O S トランジスタは、ゲート電極 1 2、ゲート絶縁膜 1 1 および P 型のソース／ドレイン活性層 5 を備える。

【 0 0 1 9 】

ゲート電極 1 2 およびゲート絶縁膜 1 1 の積層構造は S O I 層 3 の表面上に形成され、P 型ソース／ドレイン活性層 5 は S O I 層 3 内で平面視上、ゲート電極 1 2 に隣接する位置に形成される。なお、ソース／ドレイン活性層 5 の外縁は部分分離型の素子分離領域 4 により規定されている。

【 0 0 2 0 】

ゲート電極 1 2 およびゲート絶縁膜 1 1 の側面には側壁絶縁膜 1 3 が形成され

、ゲート電極 1 2 およびソース／ドレイン活性層 5 の表面にはそれぞれシリサイド化領域 1 2 b, 5 a が形成されている。また、ゲート電極 1 2 のうちソース／ドレイン活性層 5 に隣接する部分は、ゲート長を短くするために細く形成されているが、コンタクトプラグ（図示せず）と接続するための引き出し部分 1 2 a は幅広に形成されている。なお、S O I 層 3 のうちゲート電極 1 2 下方の部分は、比較的低濃度 ( $N^-$ ) の N 型ボディ層 3 a となっている。

## 【 0 0 2 1 】

図 1 および図 2 に示すように、この半導体装置においては、支持基板 1 のうち MOS トランジスタの下方に位置する部分が除去され、開口部 H L 1 が形成されている。

## 【 0 0 2 2 】

このように本実施の形態によれば、S O I 基板の支持基板 1 のうち P チャネル MOS トランジスタの下方に位置する部分が除去されている。支持基板 1 の一部が除去されることにより、その部分の上層の酸化膜層 2 および S O I 層 3 には歪み応力がかかることになる。よって、MOS トランジスタのチャネル形成領域を含む S O I 層 3 にひずみを与えることが可能となり、チャネルにおけるキャリアの移動度を向上させることができる。

## 【 0 0 2 3 】

なお、S O I 層 3 にひずみを与えると、チャネルにおけるキャリアの移動度が向上することについて以下に説明する。

## 【 0 0 2 4 】

S O I 層のうち表面側（チャネル形成領域）を通常のシリコンよりも格子定数の大きくなったシリコンストレインチャネル層とし、S O I 層の残り（チャネル形成領域の隣接領域）をシリコンよりも格子定数の大きいシリコンゲルマニウム層とする構造の MOS トランジスタが存在する（非特許文献 3 参照）。いわゆるストレインチャネル構造の MOS トランジスタである。

## 【 0 0 2 5 】

シリコンよりも格子定数の大きい隣接領域にエピタキシャル成長させた表面側のシリコン層の格子定数の値は、隣接領域の格子配置の影響を受けて隣接領域の

格子定数の値に略等しくなり、通常のシリコンよりも大きな格子定数を有する。よって、表面側のシリコン層は、引っ張り応力 (strain stress) を受けた状態になっている。すると、チャンネルにおけるキャリア移動度の上昇が見られ、特性を向上させたMOSトランジスタが得られるのである。

## 【 0 0 2 6 】

本実施の形態の場合には、支持基板1の一部を除去することにより、その部分の上層の酸化膜層2およびSOI層3に歪み応力を加えている。これにより、上記ストレインチャンネル構造のMOSトランジスタと同様の効果が得られるわけである。

## 【 0 0 2 7 】

また、本実施の形態のSOI基板においては、支持基板1とSOI層3とにおいて互いの結晶方位をずらせている。これにより、支持基板1の劈開面とSOI層3の劈開面とを異ならせることができ、SOI基板を割れにくくすることができる。

## 【 0 0 2 8 】

また、ストレスによりトランジスタの特性は変化するので、ストレス制御は重要である。特に、本実施の形態においては、支持基板1の一部を除去することにより、その部分の上層の酸化膜層2およびSOI層3に歪み応力を加えており、より高精度なストレス制御が必要である。本SOI基板を用いることにより、PチャンネルMOSトランジスタにおける電流駆動能力の向上に加えて、各製造工程で生じる不確定なストレスを小さくしてストレス制御を向上させることができる。

## 【 0 0 2 9 】

なお、図1および図2の構造は容易に形成できる。例えば支持基板1の表面側にフォトレジストを形成し、これをパターンニングして開口部HL1のエッチング用マスクに形成する。そしてエッチングを行い、フォトレジストを除去すれば、図1および図2の構造が得られる。

## 【 0 0 3 0 】

なお、図3および図4は、図1および図2の構造の変形例である。図4は図3

中の切断線IV-IVにおける断面を示した図である。この変形例では、PチャネルMOSトランジスタのソース／ドレイン活性層5の直下の支持基板1に、ソース／ドレイン活性層5と同程度の大きさで平面視長方形の開口部HL2が設けられている。なお、開口部HL2に露出した四方を囲む端面は全て(111)面である。

#### 【0031】

(111)面は結晶方位<110>に平行な面であるので、(111)面を露出させるエッチングを行えば、支持基板1の結晶方位<110>に平行な辺を有する開口部を支持基板に設けることができる。よって、支持基板1の除去部分を長方形に形成することができ、除去部分のサイズをMOSトランジスタのサイズに応じて必要最小限に留めることが可能となる。

#### 【0032】

(111)面を露出させるエッチングは、例えば以下のように行えばよい。

#### 【0033】

図5および図6に示すように、まず、支持基板1の表面であってMOSトランジスタ直下の位置にフォトレジストRM2を形成し、フォトレジストRM2に開口部HL2よりは開口面積が小さい開口OP1を設ける。なお、図6は図5中の切断線VI-VIにおける断面を示した図である。

#### 【0034】

次に、水酸化カリウム溶液等の強アルカリ溶液でウェットエッチングを行う。すると、図7および図8に示すように、支持基板1の表面に(111)面を端面とする開口部HL2が形成される。水酸化カリウム溶液はシリコン酸化膜をほとんどエッチングすることがないので、酸化膜層2がエッチングストッパとなる。なお、図8は図7中の切断線VIII-VIIIにおける断面を示した図である。

#### 【0035】

その後、フォトレジストRM2を除去すれば、図3および図4に示した構造が得られる。

#### 【0036】

なお、水酸化カリウム溶液以外にも、水酸化ナトリウム溶液、水酸化テトラメ

チルアンモニウム (Tetramethyl Ammonium Hydroxide) 等の強アルカリ溶液を用いてもよい。

#### 【0037】

図9は、複数のMOSトランジスタがそのソース／ドレイン活性層5を共有して形成される場合を示した図である。この場合も、支持基板1の表面に開口部HL2を形成できる。開口部HL2は、共有、非共有いずれものソース／ドレイン活性層5の全てを覆う形で形成されればよい。

#### 【0038】

##### <実施の形態2>

本実施の形態は、実施の形態1に係る半導体装置の変形例であり、支持基板1が全て除去されて、その代わりにMOSトランジスタ上に形成された層間絶縁膜上に他の支持基板を貼り合わせた半導体装置である。

#### 【0039】

本実施の形態に係る半導体装置を図10に示す。この半導体装置においては、支持基板1が全て除去されている。そして、SOI層3上に形成されたMOSトランジスタを覆う第1乃至第3層間絶縁膜IL1～IL3がさらに形成されている。

#### 【0040】

なお、第2層間絶縁膜IL2内には第2層配線LN1が、第3層間絶縁膜IL3内には第3層配線LN2が、それぞれ形成されている。また、第2層配線LN1はコンタクトプラグPG1によりソース／ドレイン活性層5と、第3層配線LN2はコンタクトプラグPG2により第2層配線LN1と、それぞれ接続されている。

#### 【0041】

さて、この半導体装置においては、最上層の第3層間絶縁膜IL3の表面に、新たな他の支持基板100が貼り合わされている。この支持基板100についても、その結晶方位<110>をSOI層3の結晶方位<100>に一致させて貼り合わせればよい。なお、他の支持基板100にはシリコン基板を採用すればよいが、これに限る必要はなく、支持機能を有する基板であれば、例えばガラス基

板やプラスチック基板など半導体以外の基板を採用してもよい。

【 0 0 4 2 】

本実施の形態の場合には、支持基板 1 は製造工程上における支持機能を担うだけであり、新たな他の支持基板 1 0 0 が貼り合わされた後にはエッチングやCMP (Chemical Mechanical Polishing) 等により除去される。

【 0 0 4 3 】

本実施の形態においては支持基板 1 を完全に除去しているので、MOSトランジスタとその近傍で発生した熱の放熱性に優れる。また、他の支持基板 1 0 0 を備えるので、強度的な問題も生じない。

【 0 0 4 4 】

<実施の形態 3>

本実施の形態も、実施の形態 1 に係る半導体装置の変形例であり、支持基板 1 の表面と、開口部 HL 1 または HL 2 内の各部の表面を覆うように金属膜を形成した半導体装置である。

【 0 0 4 5 】

図 1 1 は、図 4 の構造に基づいて本実施の形態を説明する図である。図 1 1 に示す通り、本実施の形態においては、支持基板 1 の表面と開口部 HL 2 に露出した端面および酸化膜層 2 とに、Au、Al、W、Cu等の金属膜MT 1 が例えば金属蒸着等により形成される。

【 0 0 4 6 】

このように、金属膜MT 1 を形成することで、MOSトランジスタとその近傍で発生した熱の放熱性に優れた半導体装置を実現できる。また、金属膜MT 1 を数百℃の高温で形成しておけば、室温に戻ったときに金属層MT 1 が酸化膜層 2 やSOI層 3 よりも大きく縮む。金属層MT 1の方が酸化膜層 2 やSOI層 3 よりも熱膨張率が大きいからである。よって、SOI層 3 にひずみを与える効果もあり、チャンネルにおけるキャリアの移動度を向上させることができる。

【 0 0 4 7 】

<実施の形態 4>

本実施の形態は、実施の形態 3 の変形例であり、支持基板 1 の表面側に設けた

金属層MT1と、SOI層3内のソース／ドレイン活性層5の一部とを電氣的に接続した半導体装置である。

## 【0048】

本実施の形態に係る半導体装置を図12に示す。図12では、MOSトランジスタが二組表示されている。そして、そのいずれにおいても、ソース／ドレイン活性層5の例えばソース側に酸化膜層2を貫通するコンタクトプラグPG3の一端が接続されている。なお、コンタクトプラグPG3は、支持基板1の側からフォトリソグラフィ技術やエッチング技術を用いて酸化膜層2の一部が開口された後、金属膜を埋め込むことにより酸化膜層2内に形成される。そして、コンタクトプラグPG3の他端は金属膜MT1に接続される。

## 【0049】

これにより、金属膜MT1に例えば電源電位V<sub>dd</sub>を与えて、MOSトランジスタのソース／ドレイン活性層5の電位を固定することができる。また、金属膜MT1を支持基板1の表面全面に形成しておけば、金属膜MT1の抵抗値を低く抑えることができるので、電力消費を抑えつつ電位固定を行える。

## 【0050】

なお、本実施の形態のアイデアは、もちろん実施の形態2に係る半導体装置にも適用することが可能である。図13にその場合の半導体装置の構造を示す。この場合は、支持基板1が完全除去されているので、金属膜MT1は酸化膜層2の表面に形成されることになる。しかし、それ以外のコンタクトプラグPG3等の形成は、図12の場合と同様である。

## 【0051】

なお、ソース／ドレイン活性層5に直接に接続するコンタクトプラグPG3に代わって、図14に示すようなコンタクトプラグPG4を採用してもよい。このコンタクトプラグPG4は、酸化膜層2、素子分離領域4aおよび第1層間絶縁膜IL1を貫通して第2層配線LN1に接続されている。このように、直接にソース／ドレイン領域5に接続されていなくとも、配線等を介して電氣的にソース／ドレイン領域5と金属膜MT1とを接続するコンタクトプラグを採用してもよい。なお、素子分離領域4aは部分分離型ではなく、完全分離型となっている。

【 0 0 5 2 】

【発明の効果】

請求項 1 に記載の発明によれば、S O I 基板の支持基板のうち少なくともM I S トランジスタの下方に位置する部分が除去されている。よって、M I S トランジスタのチャンネル形成領域を含むS O I 層にひずみを与えることが可能となり、チャンネルにおけるキャリアの移動度を向上させることができる。

【図面の簡単な説明】

- 【図 1】 実施の形態 1 に係る半導体装置を示す上面図である。
- 【図 2】 実施の形態 1 に係る半導体装置を示す断面図である。
- 【図 3】 実施の形態 1 に係る半導体装置の変形例を示す上面図である。
- 【図 4】 実施の形態 1 に係る半導体装置の変形例を示す断面図である。
- 【図 5】 実施の形態 1 に係る半導体装置の変形例の製造方法を示す上面図である。
- 【図 6】 実施の形態 1 に係る半導体装置の変形例の製造方法を示す断面図である。
- 【図 7】 実施の形態 1 に係る半導体装置の変形例の製造方法を示す上面図である。
- 【図 8】 実施の形態 1 に係る半導体装置の変形例の製造方法を示す断面図である。
- 【図 9】 実施の形態 1 に係る半導体装置の変形例を示す上面図である。
- 【図 1 0】 実施の形態 2 に係る半導体装置を示す断面図である。
- 【図 1 1】 実施の形態 3 に係る半導体装置を示す断面図である。
- 【図 1 2】 実施の形態 4 に係る半導体装置を示す断面図である。
- 【図 1 3】 実施の形態 4 に係る半導体装置を示す断面図である。
- 【図 1 4】 実施の形態 4 に係る半導体装置を示す断面図である。

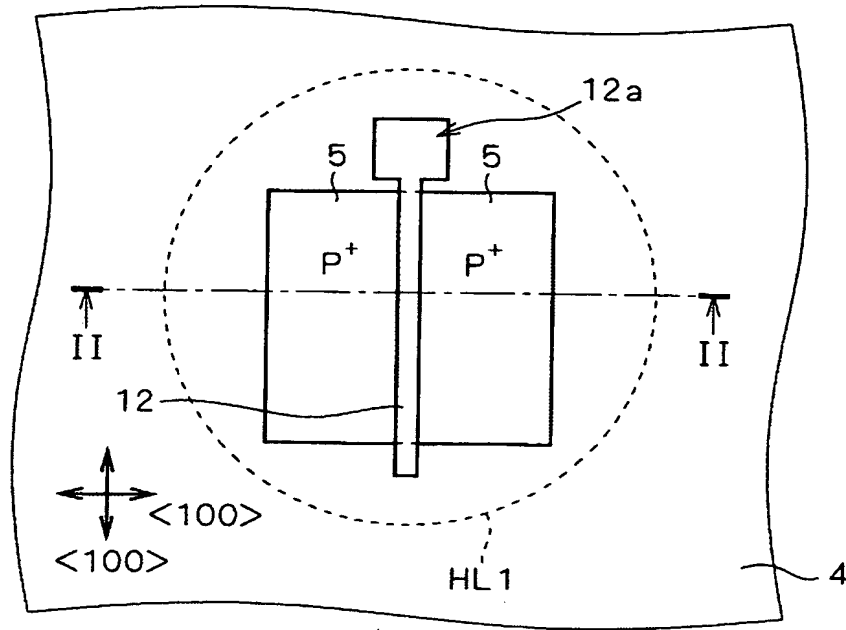
【符号の説明】

1 支持基板、2 酸化膜層、3 S O I 層、3 a ボディ層、4 素子分離領域、5 ソース／ドレイン活性層、H L 1, H L 2 開口部、M T 1 金属膜、P G 3 コンタクトプラグ。

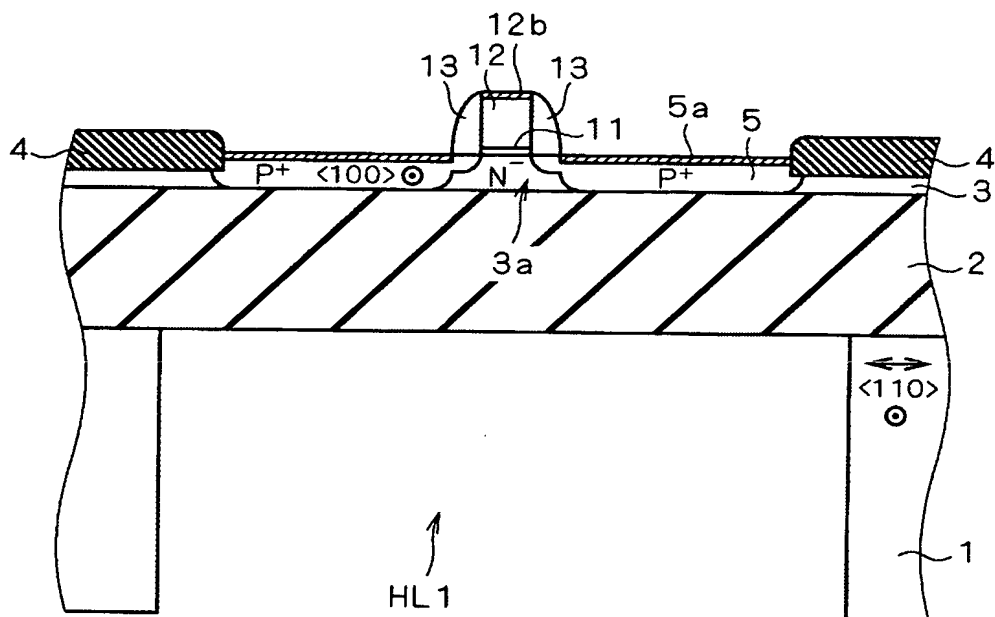


【書類名】 図面

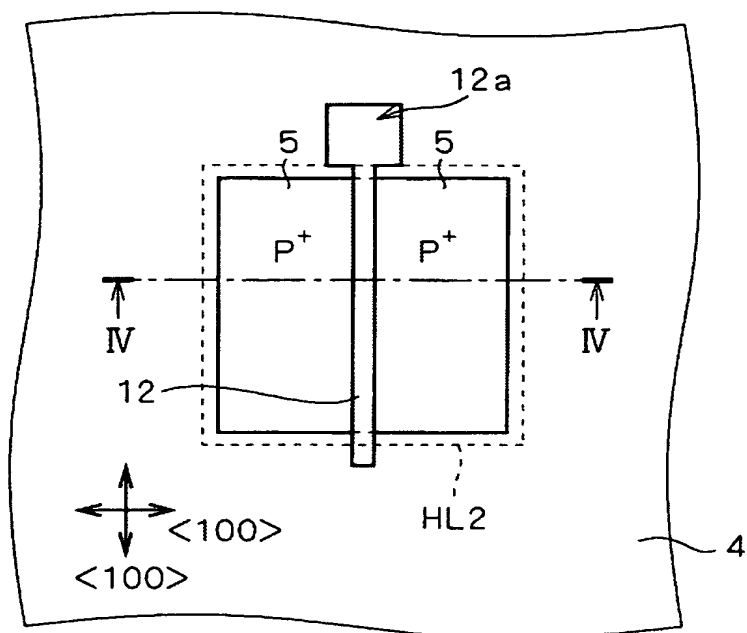
【図 1】



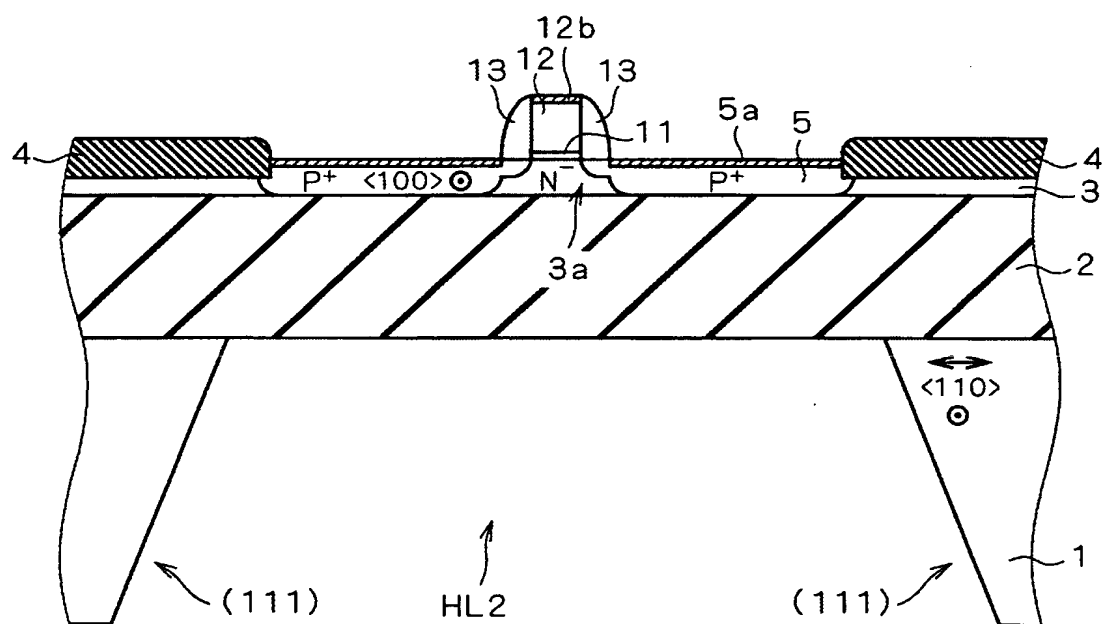
【図 2】



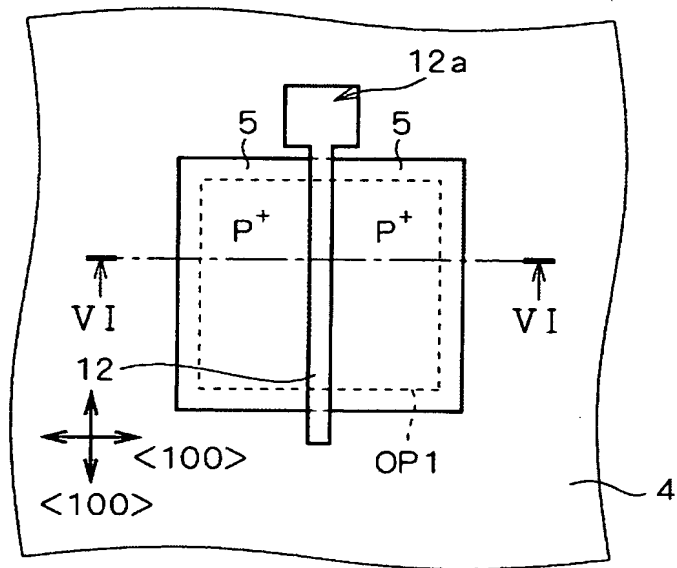
【図 3】



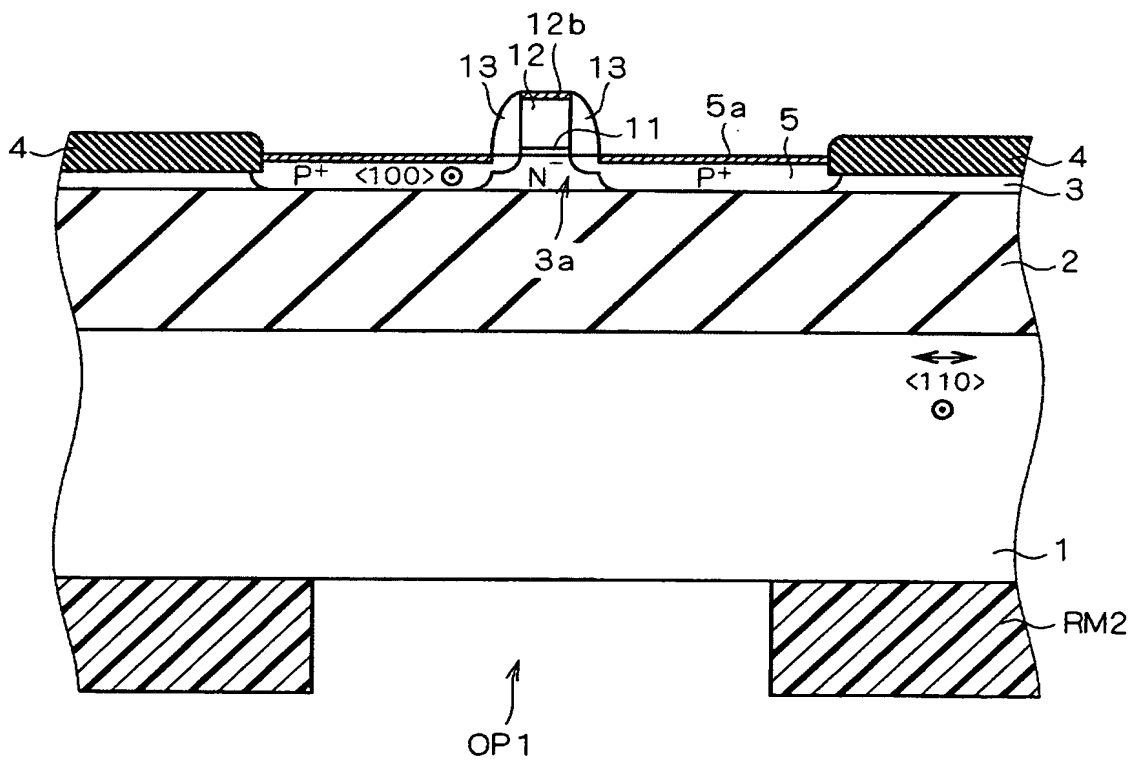
【図 4】



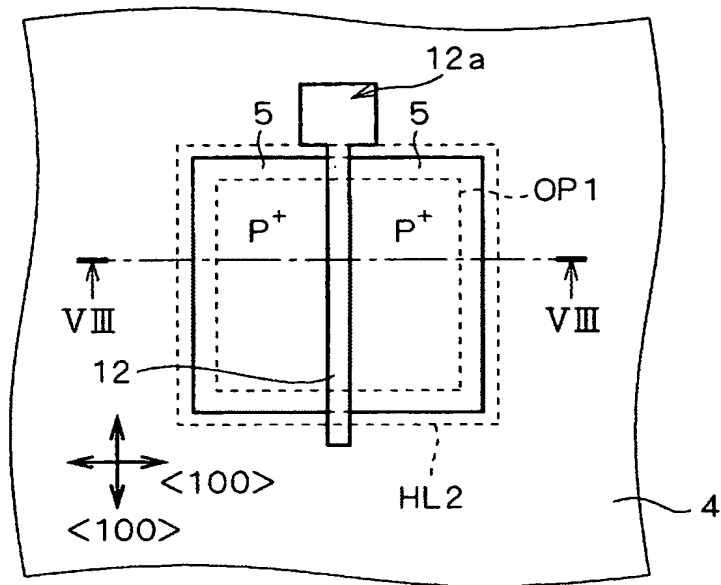
【図 5】



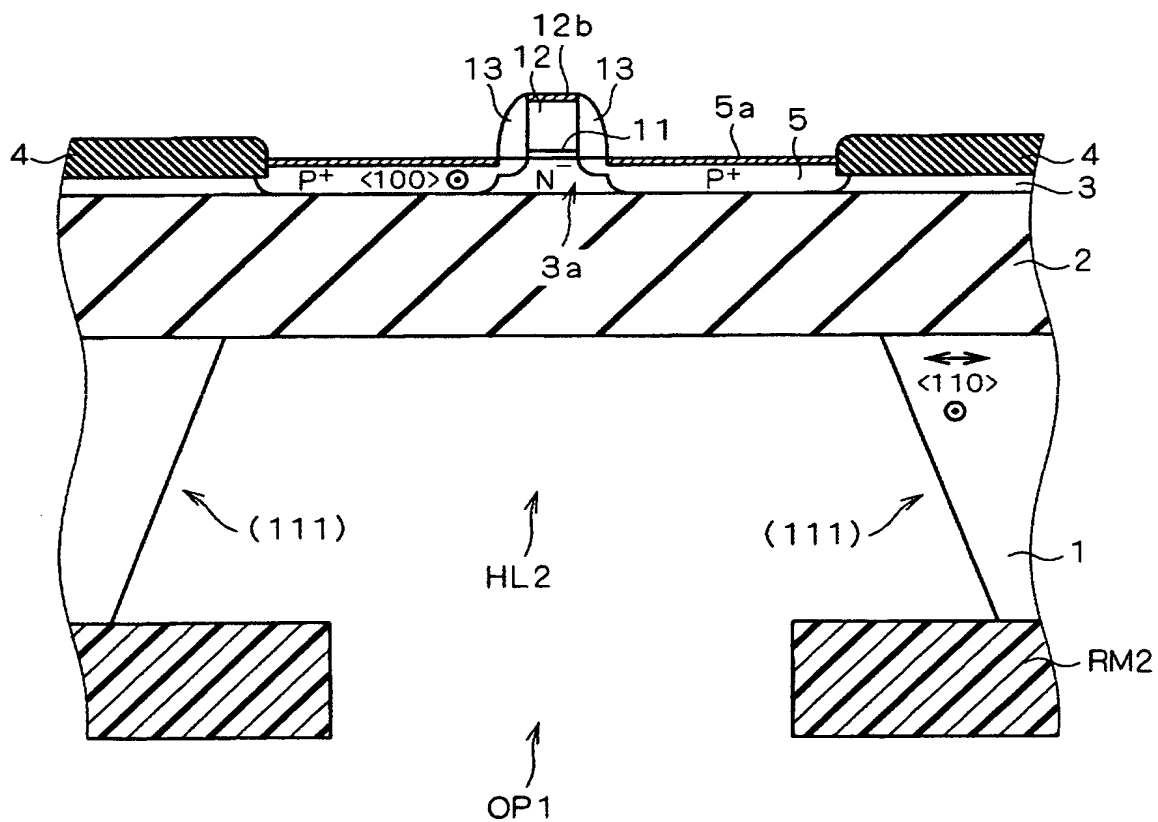
【図 6】



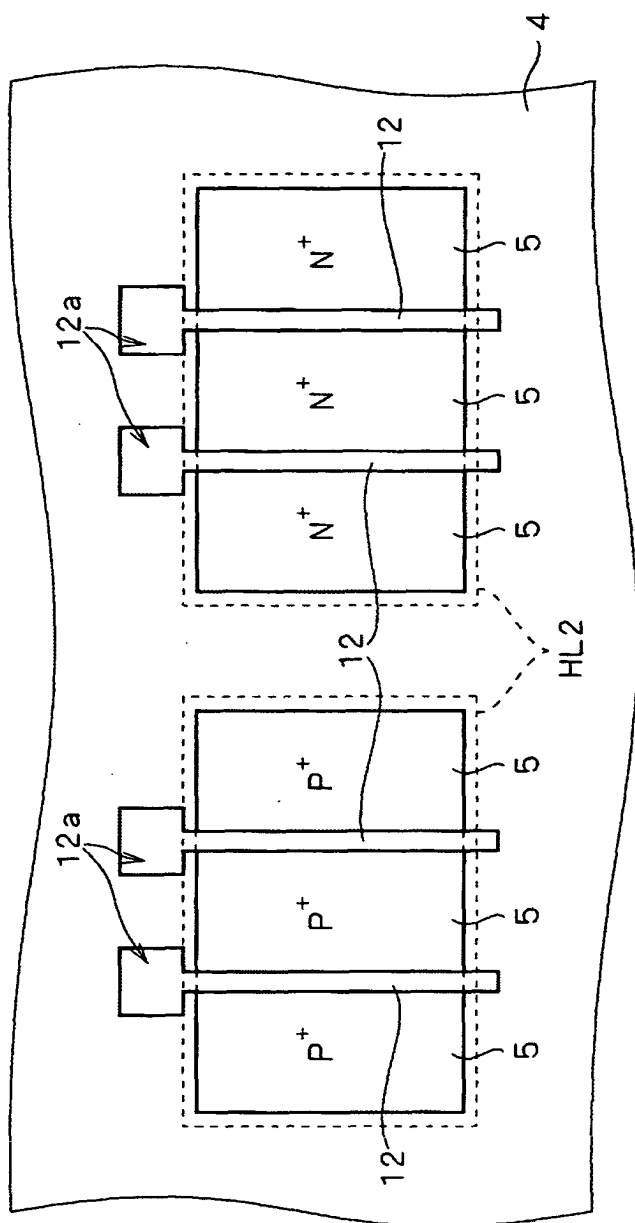
【図7】



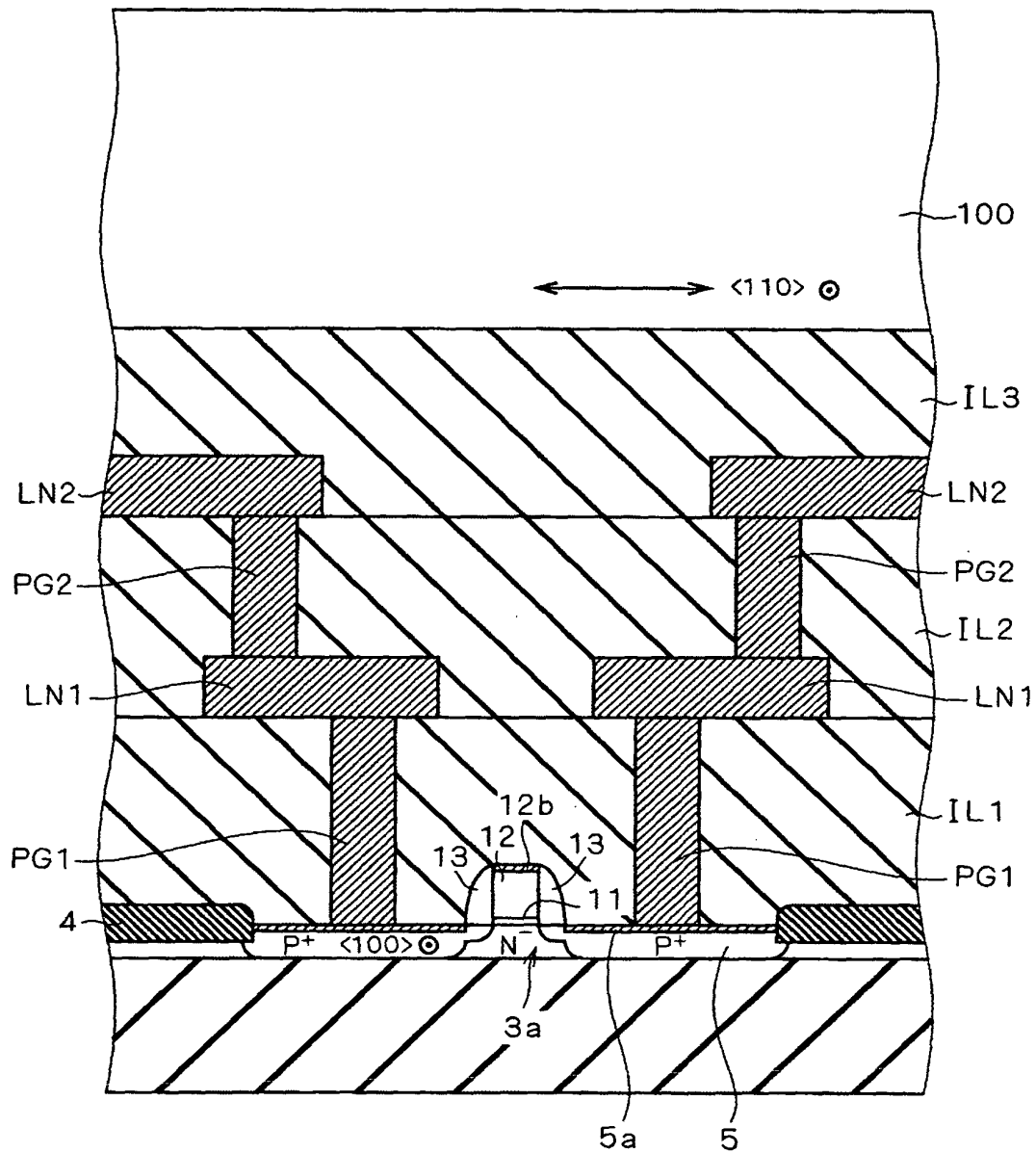
【図8】



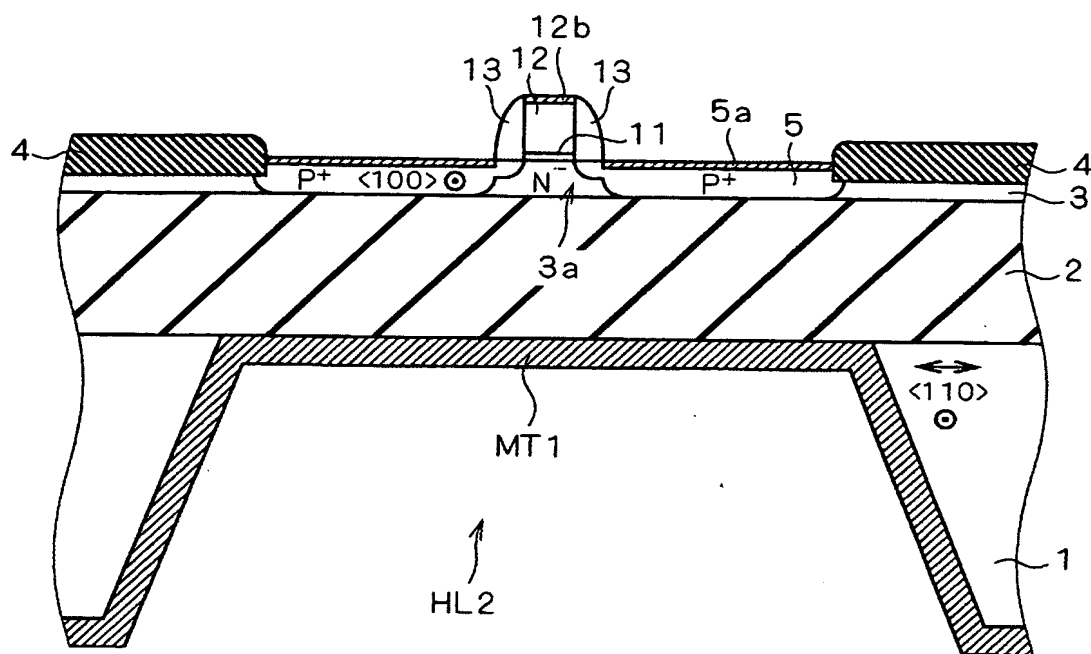
【図 9】



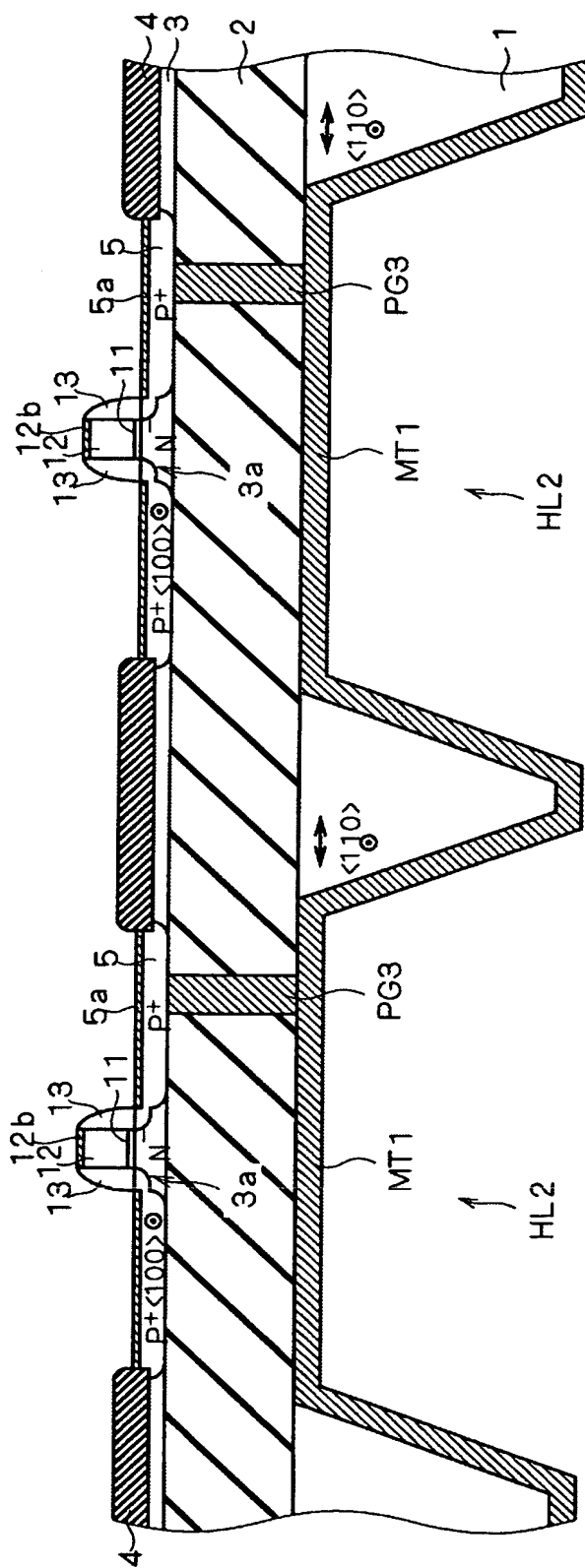
【図10】



【図 11】

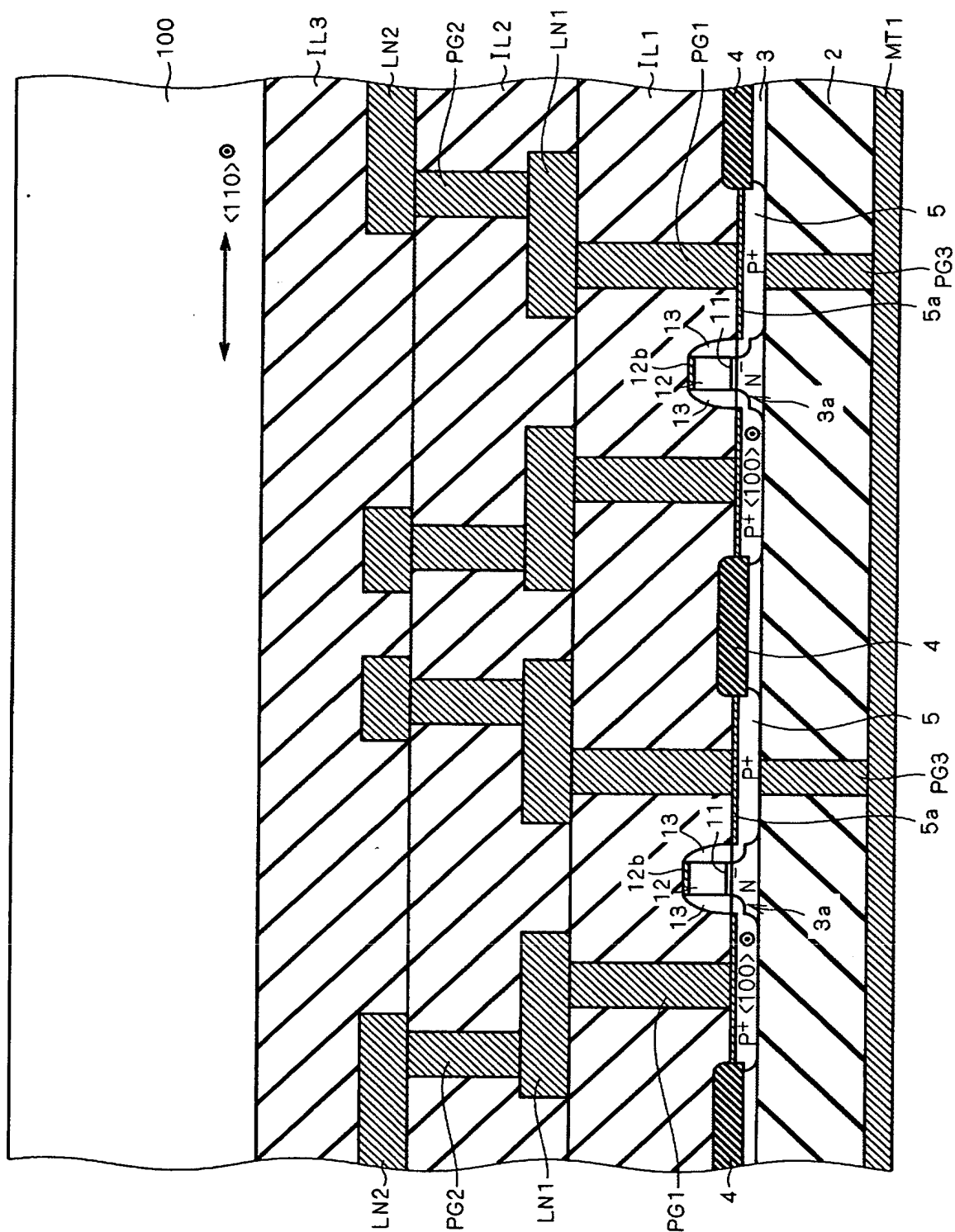


【图 12】

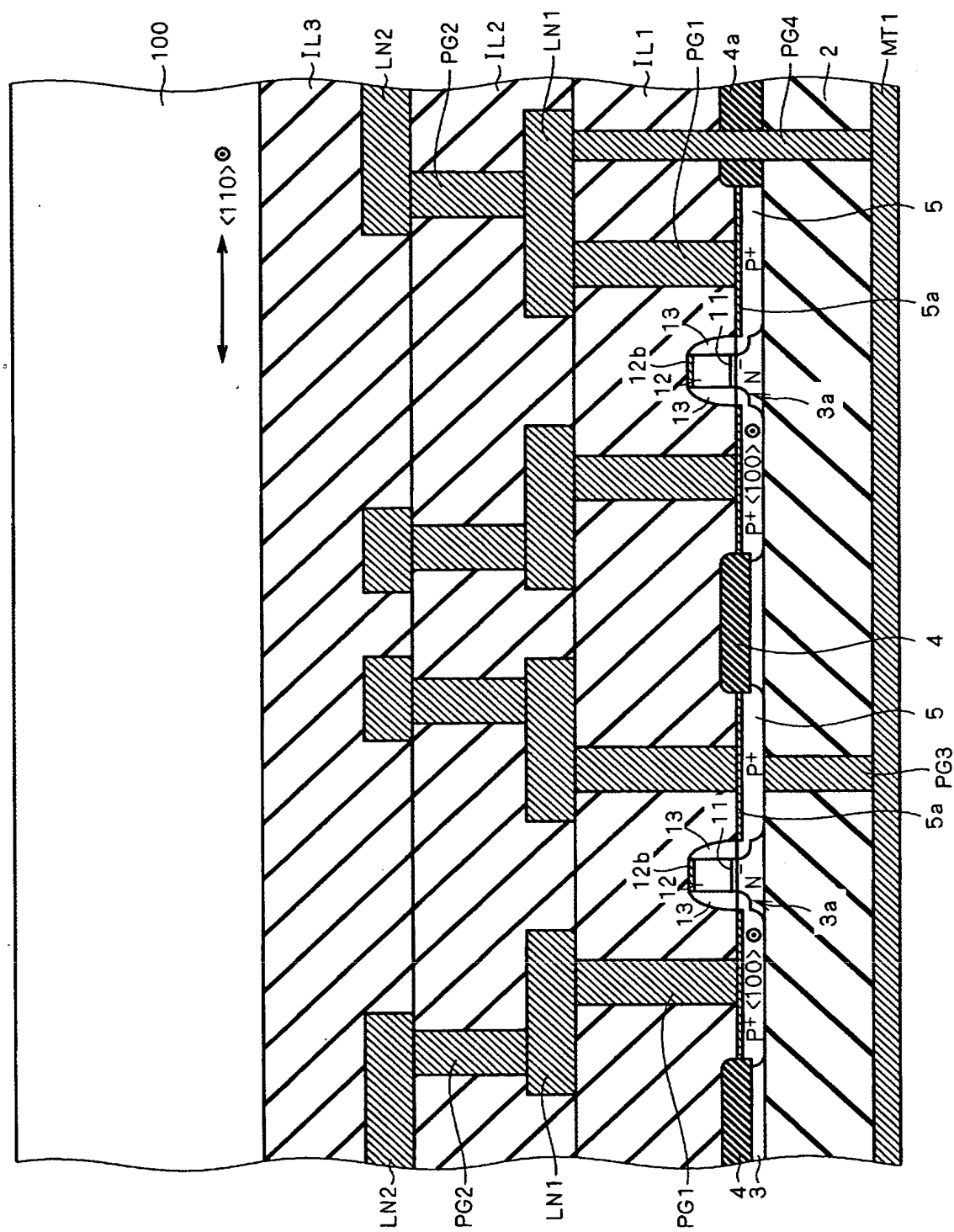




【图 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 半導体基板上に形成される半導体装置であって、半導体基板の特長を有効に利用することが可能な半導体装置を提供する。

【解決手段】 S O I 層 3 の結晶方位  $\langle 100 \rangle$  に支持基板 1 の結晶方位  $\langle 110 \rangle$  を一致させて形成された S O I 基板上に、P チャネル M O S トランジスタを形成する。そして、開口部 H L 1 を設けてその下部の支持基板を除去することによりチャネル形成領域にひずみを加える。支持基板 1 の一部が除去されることにより、その部分の上層の酸化膜層 2 および S O I 層 3 には歪み応力がかかることになる。よって、M O S トランジスタのチャネル形成領域を含む S O I 層 3 にひずみを与えることが可能となり、チャネルにおけるキャリアの移動度を向上させることができる。

【選択図】 図 2



特 2003-013062

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社